

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-148460

(P2001-148460A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	H 5 F 0 3 8
21/822		27/08	1 0 2 F 5 F 0 4 0
21/8234			3 2 1 H 5 F 0 4 8
27/088		29/78	3 0 1 K
21/8238			

審査請求 有 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-300403

(22) 出願日 平成11年10月22日 (1999. 10. 22)

(31) 優先権主張番号 特願平11-130208

(32) 優先日 平成11年5月11日 (1999. 5. 11)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-255170

(32) 優先日 平成11年9月9日 (1999. 9. 9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 安藤 岳
東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100071526
弁理士 平田 忠雄

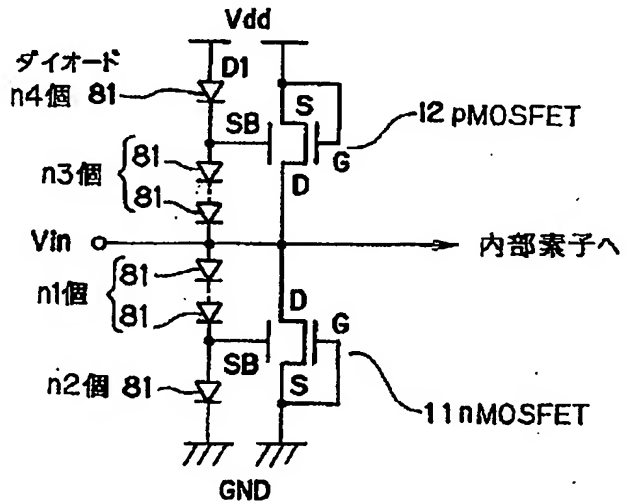
最終頁に続く

(54) 【発明の名称】 入力保護回路

(57) 【要約】

【課題】 MOSFETのスナップバックのトリガー電圧を低下させ、過電圧の入力に対して内部素子のゲート酸化膜の破壊を防止できるようにした入力保護回路を提供する。

【解決手段】 入力端子VinにはnMOSFET 11 (またはpMOSFET 12) のドレインDおよび内部素子の入力部が接続され、ソースSとゲートGは共にグラウンドGND (または電源Vdd) に接続されている。入力端子VinとグラウンドGND (または電源Vdd) の間には、順方向に直列接続されたn1+n2個 (またはn3+n4個) のダイオード81が接続され、その中間接続点はnMOSFET 11 (またはpMOSFET 12) の基板 (SB) に接続されている。n1+n2個 (またはn3+n4個) のダイオード81の中間接続点の電圧は、入力端子Vinの電圧に応じて基板 (SB) を順方向にバイアスする。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された MOSFET のゲートおよびソースを所定の電位の電源に接続し、前記 MOSFET のドレインを保護される回路の入力端子に接続して構成された入力保護回路において、前記入力端子に加えられる電圧レベルの増加に応じて前記 MOSFET の基板電圧のレベルを増加させることにより、前記 MOSFET のスナップバックのトリガー電圧を低下させる保護手段を前記所定の電位の電源と前記入力端子の間に設けたことを特徴とする入力保護回路。

【請求項 2】 前記 MOSFET は、前記所定の電位の電源が正電位の電源であるとき、pMOSFET であり、前記所定の電位の電源がグラウンド電位あるいは負電位の電源であるとき、nMOSFET であり、前記保護手段は、前記正電位、前記グラウンド電位あるいは前記負電位の電源と前記 MOSFET の基板の間に接続された第 1 の分圧抵抗と、前記 MOSFET の基板と前記入力端子の間に接続された第 2 の分圧抵抗によって構成される請求項 1 記載の入力保護回路。

【請求項 3】 前記第 1、第 2 の分圧抵抗は、ゲート電極と同一層の多結晶シリコンで形成されていることを特徴とする請求項 2 記載の入力保護回路。

【請求項 4】 前記 MOSFET は、前記所定の電位の電源が正電位の電源であるとき、pMOSFET であり、前記所定の電位の電源がグラウンド電位あるいは負電位の電源であるとき、nMOSFET であり、前記保護手段は、前記正電位、前記グラウンド電位あるいは負電位の電源と前記 MOSFET の基板の間に順方向に接続された第 1 の静電容量と、前記 MOSFET の基板と前記入力端子の間に順方向に接続された第 2 の静電容量によって構成される請求項 1 記載の入力保護回路。

【請求項 5】 前記第 1 および第 2 の静電容量は、2 層以上の金属配線層を電極に用いて形成されていることを特徴とする請求項 4 記載の入力保護回路。

【請求項 6】 前記 MOSFET は、前記所定の電位の電源が正電位の電源であるとき、pMOSFET であり、前記所定の電位の電源がグラウンド電位あるいは負電位の電源であるとき、nMOSFET であり、前記保護手段は、前記正電位、前記グラウンド電位あるいは負電位の電源と前記 MOSFET の基板の間に順方向に接続された第 1 のダイオードと、前記 MOSFET の基板と前記入力端子の間に順方向に接続された第 2 のダイオードによって構成される請求項 1 記載の入力保護回路。

【請求項 7】 前記第 1 のダイオードは、少なくとも 1 個のダイオードからなり、前記第 2 のダイオードは、直列接続された複数のダイオードからなり、前記入力端子に印加される電圧が前記電源電圧以下であるとき、前記第 1、第 2 のダイオードのそれぞれに加わ

る電圧が順方向ダイオード電圧よりも低い電圧であることを特徴とする請求項 6 記載の入力保護回路。

【請求項 8】 前記保護手段は、前記入力端子に印加される電圧が前記電源電圧以下であるとき、前記半導体基板の電位変化が、前記電源の前記所定の電位より約 0.5 V 以下になるように設定することを特徴とする請求項 1 記載の入力保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力保護回路に関し、特に、MOS (Metal Oxide Semiconductor: 金属酸化物半導体) FET (Field Effect Transistor: 電界効果トランジスタ) のゲート酸化膜を過大入力電圧から保護する為の入力保護回路に関する。

【0002】

【従来の技術】MOSFET を用いた回路においては、外部からの静電氣的ショック (高電圧) から初段のトランジスタのゲート酸化膜が破壊されるのを防止するため、入力保護回路が設けられている。この種の入力保護回路は、ゲート酸化膜が破壊される電圧よりも低い電圧が入力されたときにブレークダウンするように設計されている。また半導体製造メーカーにおいては、開発段階等において、電源を開放にした場合、グラウンド (GND) を開放にした場合等の条件を設定して、入力端子 Vin に過大電圧を印加し、入力保護回路の各部が期待通りに動作するか否かの試験を行い、製品の評価を行っている。

【0003】図 10 は従来の入力保護回路を示す。この入力保護回路は半導体基板上に形成された pMOSFET (p 型 MOSFET) 201 と nMOSFET (n 型 MOSFET) 202 から成る。nMOSFET 202 のドレイン (D) は入力端子 Vin に接続されている。nMOSFET 202 のソース (S) およびゲート (G) は共通接続され、さらに GND (グラウンド) に接続される。また、nMOSFET 202 の半導体基板 (SB) も GND に接続される。pMOSFET 201 のドレイン (D) は入力端子 Vin に接続され、そのソース (S) とゲート (G) は共通接続された状態で電源 Vdd に接続され、この pMOSFET 201 の半導体基板 (SB) も GND に接続されている。また、入力端子 Vin は、不図示の保護対象の MOSFET 回路の入力段に接続されている。

【0004】図 10 に示した構成の入力保護回路において、電源 Vdd を開放した状態で、入力端子 Vin に負の過電圧が印加された場合には、nMOSFET 202 のドレイン (D) - 基板 (SB) 間の pn 接合が順方向にバイアスされるため、電流が GND 側に流れて、内部素子の破壊が防止されるとともに、入力端子 Vin に正の過電圧が印加された場合には、nMOSFET 202 が寄生バイポーラ動作を行うので、電流が GND 側に流れて、

3

内部素子の破壊が防止される。また、GNDを開放した状態で、入力端子Vinに正の過電圧が印加された場合には、pMOSFET 201のドレイン(D)ー基板(SB)間のpn接合が順方向にバイアスされるため、電流が電源Vdd側に流れて、内部素子の破壊が防止されるとともに、入力端子Vinに負の過電圧が印加された場合には、pMOSFET 201が寄生バイポーラ動作を行うので、電流が電源Vdd側に流れて、内部素子の破壊が防止される。

【0005】寄生バイポーラ動作は、基板を電流が流れると、基板抵抗によって電圧降下が生じ、ソース(S)ー基板(BS)ードレイン(D)からなる寄生バイポーラトランジスタが導通するために起こる現象であって、図11に示すような、スナップバックと呼ばれる電流ー電圧特性を有している。ここで、高抵抗領域から低抵抗領域に移行する電圧Vtlをトリガー電圧といい、このトリガー電圧を、内部素子の破壊電圧(通常は、ゲート酸化膜の耐圧)よりも低く設定する必要がある。

【0006】

【発明が解決しようとする課題】しかし、従来の入力保護回路によると、以下のような問題がある。近年のMOSFET素子の微細化に伴い、ゲート酸化膜厚も薄くなっている。例えば、ゲート長が0.35 μm の世代ではゲート酸化膜厚が7~8nm、ゲート長が0.25 μm の世代ではゲート酸化膜厚が5~6nm、ゲート長が0.18 μm の世代ではゲート酸化膜厚が3.5~4nmという様に、世代を経るごとに薄くなってきている。

【0007】ゲート酸化膜の絶縁破壊耐圧は電界換算で約15MV/cmであり、ゲート長が0.35 μm の世代で10~12V、0.25 μm の世代で7~9V、0.18 μm の世代で5~6V程度となる。入力端子Vinに印加される過電圧は瞬間的なものであるため、上記耐圧以上の電圧が加わったとしても、直ちにゲート酸化膜が破壊されるわけではない。しかし、特性変動などの信頼性の低下につながることに変わりはない。したがって、従来の入力保護回路では、素子の微細化の進行に伴い、将来、内部素子を保護しきれなくなるものと考えられる。

【0008】したがって、本発明の目的は、MOSFETのスナップバックのトリガー電圧を低下させ、過電圧の入力に対して内部素子のゲート酸化膜の破壊を防止できるようにした入力保護回路を提供することにある。

【0009】

【課題を解決するための手段】本発明は、上記の目的を達成するため、半導体基板上に形成されたMOSFETのゲートおよびソースを所定の電位の電源に接続し、前記MOSFETのドレインを保護される回路の入力端子に接続して構成された入力保護回路において、前記入力端子に加えられる電圧レベルの増加に応じて前記半導体基板の電圧レベルを増加させることにより前記MOSF

4

ETのスナップバックのトリガー電圧を低下させる保護手段を前記所定の電位の電源と前記入力端子の間に設けたことを特徴とする入力保護回路を提供する。

【0010】この構成によれば、保護手段により半導体基板に印加される電圧は、入力端子に加えられる電圧レベルの増加に応じて増加する。したがって、MOSFETのスナップバックのトリガー電圧が低下し、過電圧の入力に対してMOSFETのゲート酸化膜の破壊を防止することができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。図1は本発明による入力保護回路の第1の実施の形態を示す。nMOSFET 11のドレイン(D)が入力端子Vinに接続され、そのソース(S)およびゲート(G)は共通接続され、このソース(S)とゲート(G)はGND(グランド)に接続されている。一方、pMOSFET 12のドレイン(D)は入力端子Vinに接続され、そのソース(S)とゲート(G)は共通接続された状態で電源Vddに接続されている。入力端子Vinと電源Vddの間には、抵抗13(R3)と抵抗14(R4)が直列接続して挿入され、その中間接続点はpMOSFET 12の半導体基板(SB)に接続されている。さらに、入力端子VinとGNDの間には、抵抗15(R1)と抵抗16(R2)が直列接続して挿入され、その中間接続点はnMOSFET 11の半導体基板(SB)に接続されている。

【0012】図2は本発明の第1の実施の形態の断面構造を示す。ここでは、図1に示した回路の下半分のみを示している。その理由は、nMOSFET 11と抵抗15、16により構成される回路部分、およびpMOSFET 12と抵抗13、14により構成される回路部分は、不純物の導電型、バイアスが異なるのみで、これ以外の構造や動作は対称的な関係にあり、基本的に同じである。そこで、以下においては、nMOSFET 11側のみを図示して説明する。

【0013】p型基板21中に、深さ450nmの素子分離酸化膜22を形成した後、フォトレジストをマスクとして、リン(P)を1MeVで $3 \times 10^{13} \text{ cm}^{-2}$ 注入し、ディープnウエル23を形成する。ついで、フォトレジストをマスクとして、ボロン(B)を300keVで $2 \times 10^{13} \text{ cm}^{-2}$ 、200keVで $4 \times 10^{12} \text{ cm}^{-2}$ 、30keVで $5 \times 10^{12} \text{ cm}^{-2}$ と連続して注入し、pウエル24を形成する。次に、厚さ7nmのゲート酸化膜を介して厚さ150nm、ゲート長0.35 μm の多結晶シリコンのゲート電極25を形成する。同時に、この多結晶シリコンで素子分離酸化膜22上に図1に示した抵抗R1、R2を形成する。次に、フォトレジストをマスクとして砒素(As)を20keVで $5 \times 10^{13} \text{ cm}^{-2}$ 注入して、ソースとドレインの低濃度領域(不図示)を形成し、幅100nmの酸化膜のゲート側

壁（不図示）を形成する。次に、フォトリソistをマスクとして、砒素を 50 keV で $3 \times 10^{15}\text{ cm}^{-2}$ 注入して、ソース、ドレインの高濃度領域26、27およびディープnウェル23のコンタクト領域28を形成し、nMOSFET11を形成する。このnMOSFET11のチャネル幅は、 $500\text{ }\mu\text{m}$ である。更に、フォトリソistをマスクとして、BF₂（2フッ化ホウ素）を 30 keV で $3 \times 10^{15}\text{ cm}^{-2}$ 注入し、pウェル24のコンタクト領域29およびp型基板21のコンタクト領域30を形成する。この後、ゲート電極25、抵抗R1、R2、ソース、およびドレインの高濃度領域26、27と、コンタクト領域28、29、30の表面に厚さ 30 nm のコバルトシリサイド層31を形成し、層間絶縁膜（不図示）を形成し、金属配線で各部を接続する。なお、図1で説明したnMOSFET11の半導体基板（SB）は、本実施の形態では、図2に示す様に、ディープnウェル23で囲まれたpウェル24に相当し、ディープnウェル23は電源V_{dd}に接続され、p型基板21はグラウンド（GND）に接続されている。

【0014】抵抗R1、R2の値は後述するように、電源電圧が 3.3 V の場合、その比 $R1/R2$ が10程度になるように設定するとよい。したがって、例えば、 $R1=1\text{ k}\Omega$ 、 $R2=100\Omega$ とすれば、コバルトシリサイド化した多結晶シリコンの層抵抗は約 $10\Omega/\square$ であるので、抵抗R1、R2のサイズは、幅が $0.5\text{ }\mu\text{m}$ ならば、長さがそれぞれ $50\text{ }\mu\text{m}$ と $5\text{ }\mu\text{m}$ になる。もし、フォトリソグラフィ工程を追加して抵抗R1、R2のシリサイド化を防止すれば、多結晶シリコンの層抵抗は $100\Omega/\square$ 以上であるので、同一のサイズで、抵抗R1、R2の長さは上記した値の10以上になる。

【0015】なお、図2において、不図示のpMOSFET12はnウェルの中に形成されることになり、nMOSFET11のディープnウェル23に対応するものは不要である。逆にn型基板を用いれば、pMOSFET12がディープpウェルで囲まれたnウェルの中に形成され、nMOSFET11はpウェルの中に形成されて、ディープnウェルが不要となる。

【0016】次に、電源電圧が 3.3 V で、第1と第2の抵抗の比（ $R1/R2$ ）を10に設定した場合における上記第1の実施の形態の動作について説明する。なお、本発明においても、電源V_{dd}またはGNDを開放して入力端子V_{in}に過電圧を加え、入力保護回路の動作確認が行われることは【0005】で説明した通りである。入力端子V_{in}は、通常 0 V と 3.3 V の間にあるため、抵抗15（R1）と抵抗16（R2）の接続点の電位、すなわちnMOSFET11の基板電位は、入力端子V_{in}を抵抗R1とR2で抵抗分割して得た 0 V と 0.3 V の間で変化する。

【0017】図3は実際のnMOSFETで測定したスナップバックのトリガー電圧V_{t1}の順方向基板電圧V_{su}

b（基板SBに印加する電圧）の依存性を示す。ここで用いたサンプルのサイズは、ゲート長 $0.5\text{ }\mu\text{m}$ 、ゲート酸化膜厚 7.5 nm であり、測定条件はゲート電圧 0 V 、ソース電圧 0 V である。図3から明らかなように、基板電圧V_{sub} = 0 V のときに約 1.0 V であったトリガー電圧V_{t1}は、基板電圧V_{sub}が 0.5 V を越えるあたりから徐々に低下していることがわかる。したがって、入力電圧が電源電圧の 3.3 V 以下（基板電圧が 0.3 V 以下）である限り、スナップバック特性は殆ど変わらず、 5.5 V 以上（基板電圧が 0.5 V 以上）の過電圧が印加された場合にスナップバックが生じやすくなる。厚さ 7.5 nm のゲート酸化膜の絶縁破壊耐圧は約 1.0 V であるので、基板電圧V_{sub}が 0 V に固定された従来例では、ゲート酸化膜には耐圧にほぼ等しい約 1.0 V が印加される。一方、本発明では入力電圧が 5.5 V を超えると、基板電圧V_{sub}が 0.5 V 以上に上昇し、トリガー電圧V_{t1}が 1.0 V 以下に低下するため、ゲート酸化膜には耐圧より低い電圧しか加わらないことになる。ところで、基板を順方向にバイアスした場合に懸念されるのが、オフリークである。

【0018】図4は、図3と同一のnMOSFETで測定したオフ電流I_{off}と順方向基板電圧V_{sub}との関係を示す。ここでの測定条件は、ゲート電圧とソース電圧が 0 V 、ドレイン電圧が 3.3 V である。図4から明らかなように、基板電圧V_{sub}が 0 V から 0.3 V に上昇しても、オフ電流I_{off}は $6 \times 10^{-14}\text{ A}/\mu\text{m}$ から $3 \times 10^{-12}\text{ A}/\mu\text{m}$ への2桁以下の増加にとどまっており、必ずしも実用上問題となるレベルではないことがわかる。

【0019】なお、以上の検討は、第1、第2の抵抗R1、R2を、第1と第2の容量C1、C2で置き換え、その比（ $C2/C1$ ）を10に設定した場合でも、同様に成立する。以下に、容量C1、C2を用いた場合について説明する。

【0020】図5は本発明の入力保護回路の第2の実施の形態を示す。本実施の形態は、図1の抵抗R1～R4を静電容量C1～C4に置き換えた構成にしている。すなわち、抵抗11（R3）、12（R4）、13（R1）、14（R2）を静電容量51（C3）、52（C4）、53（C1）、54（C2）に代えた構成にしている。他の構成は、図1の構成と同じであるので、ここでは重複する説明を省略する。

【0021】図6は、本発明の第2の実施の形態における断面構造を示す。図6の構成は、図1と同様に、nMOSFET11と第1、第2の静電容量C1、C2により構成される入力保護回路、およびpMOSFET12と第3、第4の静電容量C3、C4により構成される入力保護回路は、不純物の導電型やバイアスが異なるだけで、これ以外の構造や動作はほぼ対称となっている。したがって、ここではnMOSFET11およびその周辺

構成についてのみ説明する。

【0022】図6の構造においては、層間絶縁膜（不図示）を形成するまでは、抵抗R1、R2を形成しないことを除き、上記第1の実施の形態と同様の工程を経る。この後、金属配線で各部を接続するとき、2層の配線層を用いて静電容量C1、C2を形成する。具体的には、1層目の金属配線層を用いて一方の対向電極61、62を形成し、また、層間絶縁膜（不図示）を形成する。この後、2層目の金属配線層を用いて、他方の対向電極63、64を形成する。このようにして、対向電極61と63で静電容量C1を、対向電極62と64で静電容量C2を構成する。

【0023】静電容量C1、C2の値は、上記したように、電源電圧が3.3Vの場合、その比（C2/C1）が10程度になるように設定すればよい。したがって、例えばC1=0.1pF、C2=1pFとすれば、層間膜厚1μmの配線間静電容量は、0.035pF/μm²であるので、静電容量C1、C2の対向電極61～64の面積は、それぞれ2900μm（正方形ならば54μm□）と29000μm（同170μm□）となる。

【0024】図7は第2の実施の形態において、3層の金属配線層を用いて静電容量を形成した電極配置を示す。この場合、第1の静電容量C1は対向電極61と63および対向電極71と63の間で形成され、さらに、第2の静電容量C2は対向電極62と64および対向電極72と64の間で形成される。これにより、2層までの金属配線層を用いた場合に比べ、電極面積を上記した値の1/2にすることができる。さらに上層（4層以上）の金属配線層を用いれば、更なる電極面積の低減が可能になる。

【0025】図8は本発明の入力保護回路の第3の実施の形態を示す。図8においては、図1および図5と同一部分には同一引用数字を用いたので、以下においては重複する説明を省略する。本実施の形態は、nMOSFET11のドレイン（D）が入力端子Vinに接続され、そのソース（S）およびゲート（G）は共通接続され、このソース（S）とゲート（G）はGND（グランド）に接続されている。一方、pMOSFET12のドレイン（D）は入力端子Vinに接続され、そのソース（S）とゲート（G）は共通接続された状態で電源Vddに接続されている。電源Vddと入力端子Vinの間には、ダイオード81がn3+n4個直列接続して順方向に挿入され、これらをn3個とn4個に分割する接続点はpMOSFET12の基板（SB）に接続されている。さらに、入力端子VinとGNDの間には、ダイオード81がn1+n2個直列接続して順方向に挿入され、これらをn1個とn2個に分割する接続点はnMOSFET11の基板（SB）に接続されている。ダイオードの個数について、以下に説明する。

【0026】ここで、n1個とn2個のダイオード81

の使用個数の決定方法を説明する。1個のダイオードの順方向電圧をVfとすれば、

$$V_{dd}/(n1+n2) < V_f \quad \dots (1)$$

を満たすように設定する。この設定は、n3個とn4個のダイオード81についても同様である。（1）式に示す設定は、通常動作時にダイオードを通じて流れるリークを抑えるための条件である。通常動作時には、n1+n2個のダイオード81の両端には、最大でVddの電圧が加わるため、各ダイオードに分配された電圧Vdd/(n1+n2)が、各ダイオードの順方向電圧Vfに比べて小さければリークは抑えられることになる。

【0027】例えば、電源電圧が3.3Vの場合、順方向電圧Vfを0.33Vとすれば、（1）式からVdd/Vf < n1+n2であるので、n1+n2 > 10（= 3.3/0.33）となる。したがって、n1を10個、n2を1個にする。この場合、通常動作時の入力電圧Vinは0Vと3.3Vの間にあるため、n1個のダイオード81とn2個のダイオード81の接続点の電位、すなわちnMOSFET11の基板電位（SB電位）は、n1+n2個のダイオード81で分配された0Vと0.3Vの間で変化する。このような構成により、入力端子Vinに印加された入力電圧に応じてpMOSFET12とnMOSFET11の基板（SB）は順方向にバイアスされるため、スナップバックのトリガー電圧Vt1を下げることができる。

【0028】図9は図8に示した実施の形態の断面構造を示す。ここでは、nMOSFET11とn1個とn2個のダイオード81により構成される回路部分、およびpMOSFET12とn3個とn4個のダイオード81により構成される回路部分は、MOSFET部分の不純物の導電型、バイアスが異なるのみで、これ以外の構造や動作は対称的な関係にあり、基本的に同じであるため、nMOSFET11とこれにかかわる回路についてのみ図示している。

【0029】まず、p型基板21中に、深さ450nmの素子分離酸化膜22を形成する。次に、フォトレジストをマスクにしてリンを1MeVで3×10¹³cm⁻²注入し、ディープnウェル23を形成する。次に、フォトレジストをマスクとして、ボロンを300keVで2×10¹³cm⁻²、200keVで4×10¹²cm⁻²、30keVで5×10¹²cm⁻²と連続して注入し、pウェル24を形成する。この後、フォトレジストをマスクにして、リンを700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²、さらに、ヒ素を100keVで5×10¹²cm⁻²と連続して注入し、nウェル91を形成する。ついで、厚さ7nmのゲート酸化膜を介して厚さ150nm、ゲート長0.35μmの多結晶シリコンのゲート電極25を形成する。次に、フォトレジストをマスクにして砒素を20keVで5×10¹³cm⁻²注入し、ソース、ドレインの低濃度領域（不図示）を形成

した後、幅100nmの酸化膜のゲート側壁（不図示）を形成する。

【0030】次に、フォトリソをマスクにして砒素を50keVで $3 \times 10^{15} \text{ cm}^{-2}$ 注入し、ソース、ドレインの高濃度領域26、27を形成してnMOSFET 11を形成するとともに、ディープnウェル23のコンタクト領域28およびnウェル91のコンタクト領域92を形成する。このnMOSFET 11のチャネル幅は500 μm である。ついで、フォトリソをマスクにしてBF₂（2フッ化ホウ素）を30keVで $3 \times 10^{15} \text{ cm}^{-2}$ 注入し、pウェル24のコンタクト領域29およびp型基板21のコンタクト領域30を形成するとともに、高濃度p型領域93を形成し、pn接合によるダイオード94を形成する。この後、ゲート電極25、ソース、ドレインの高濃度領域26、27、コンタクト領域28、29、30、92およびダイオード94の高濃度領域93の表面に厚さ30nmのコバルトシリサイド層31を形成し、層間絶縁膜（不図示）を形成し、金属配線95、96を用いて各部を接続する。

【0031】なお、図8で説明したnMOSFET 11の基板（SB）は、本実施の形態では、図9におけるディープnウェル23で囲まれたpウェル24に相当し、ディープnウェル23は電源V_{dd}に、p型基板21はグランド（GND）に接続されている。

【0032】また、図9において、不図示のpMOSFET 12は、nウェル91と同時に形成される別のnウェルの中に形成されることになり、nMOSFET 11のディープnウェル23に対応するものは不要である。逆に、n型基板を用いれば、pMOSFET 12がディープpウェルで囲まれたnウェルの中に形成され、nMOSFET 11はpウェルの中に形成されるので、ディープnウェルが不要になる。

【0033】前記各実施の形態においては、電源を正の単一電源にしたが、正負2電源の構成にしてもよい。すなわち、nMOSFET 11のソース、ゲートおよび抵抗16（または、静電容量54、ダイオード84）をGNDから負電源に接続替えした構成であってもよい。また、必ずしも正電位の電源側とグランド電位または負電位の電源側の双方に、同一の保護手段（分圧抵抗、静電容量、ダイオード）を用いる必要は無く、その効果等に

【0034】

【発明の効果】以上説明した通り、本発明の入力保護回

路によれば、各電源端子と入力端子間に抵抗、静電容量、またはダイオードにより分圧した電圧をpMOSFETおよびnMOSFETの各基板に印加する保護手段を設け、入力電圧に応じて半導体基板をバイアスし、スナップバックのトリガー電圧を下げるようにしたので、過電圧の入力からMOSFETによる内部素子のゲート酸化膜の破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明による入力保護回路の第1の実施の形態を示す回路図である。

【図2】本発明の第1の実施の形態の断面構造を示す断面図である。

【図3】nMOSFETで測定したスナップバックのトリガー電圧V_{tl}の順方向基板電圧V_{sub}の依存性を示す特性図である。

【図4】nMOSFETで測定したオフ電流I_{off}と順方向基板電圧V_{sub}との関係を示す特性図である。

【図5】本発明の入力保護回路の第2の実施の形態を示す回路図である。

【図6】本発明の第2の実施の形態の断面構造を示す断面図である。

【図7】第2の実施の形態において3層の金属配線層を用いて形成した静電容量部を形成した場合の電極配置を示す平面図である。

【図8】本発明の入力保護回路の第3の実施の形態を示す回路図である。

【図9】図8に示した実施の形態の断面構造を示す断面図である。

【図10】従来の入力保護回路を示す回路図である。

【図11】スナップバック動作が生じた際の電流-電圧特性を示す特性図である。

【符号の説明】

11 nMOSFET

12 pMOSFET

13 抵抗（R₃）

14 抵抗（R₄）

15 抵抗（R₁）

16 抵抗（R₂）

51 静電容量（C₃）

52 静電容量（C₄）

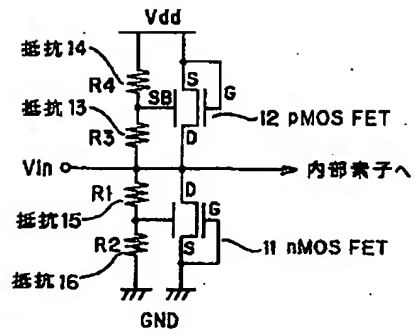
53 静電容量（C₁）

54 静電容量（C₂）

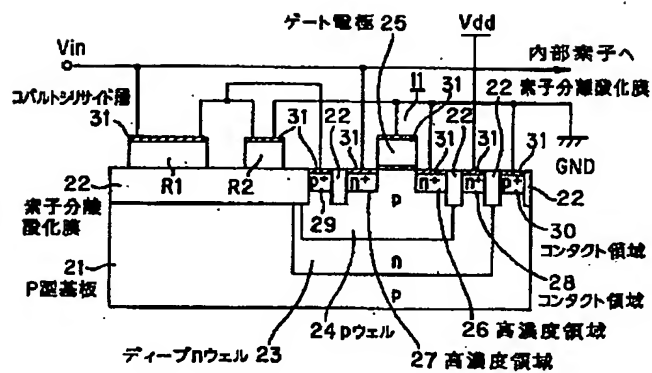
61～64, 71, 72 対向電極

81 ダイオード

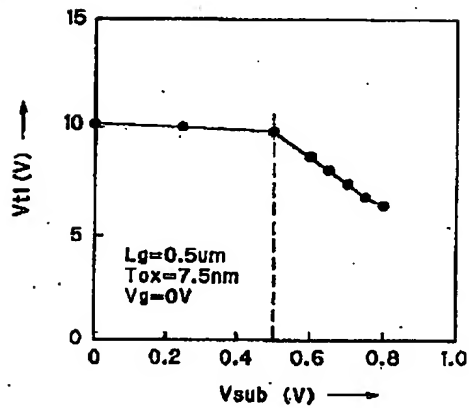
【図1】



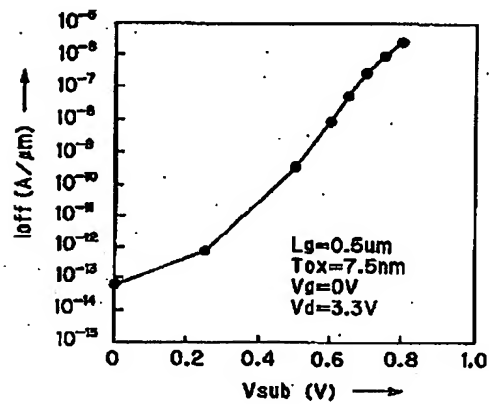
【図2】



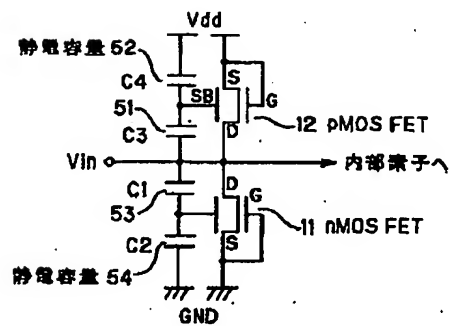
【図3】



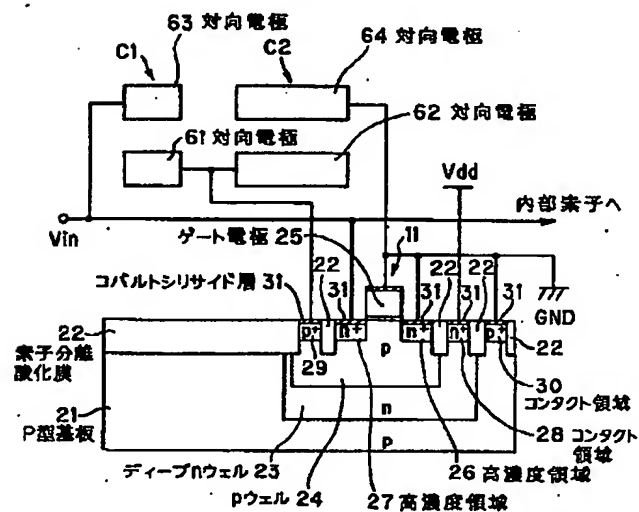
【図4】



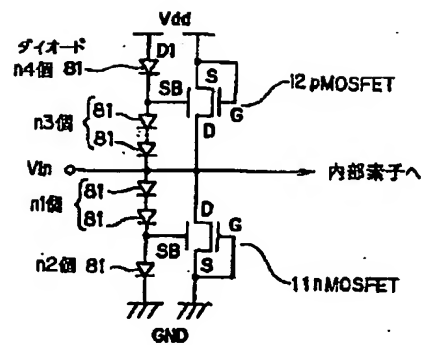
【図5】



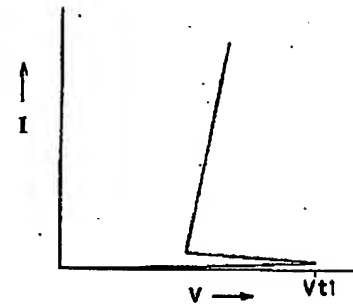
【図6】



【图 8】



【图 1 1】



テーマコート' (参考)

29/78

Fターム(参考) 5F038 AC05 AC14 AC17 AR08 AR09
BB03 BB05 BB09 BH02 BH03
BH04 BH05 BH07 BH13 EZ13
EZ14 EZ20
5F040 DA19 DB01 DB06 DB09 DB10
DC01 EB17 EC07 EC13 EK05
FC11 FC19
5F048 AA02 AC03 AC10 BA01 BB05
BB08 BB12 BE02 BE04 BE09
BF12 BG01 BG07 BG12 BH04
CC03 CC05 CC06 CC09 CC13
CC19